

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-035154

(43)Date of publication of application : 09.02.2001

(51)Int.Cl. G11C 11/407

(21)Application number : 2000-193821 (71)Applicant : HYUNDAI ELECTRONICS
IND CO LTD(22)Date of filing : 28.06.2000 (72)Inventor : KIN KANGEN
TEI TOSHOKU

(30)Priority

Priority number : 99 9924823 Priority date : 28.06.1999 Priority country : KR

(54) DATA OUTPUTTING DEVICE IN MEMORY ELEMENT HAVING PIPE LATCH
CIRCUIT

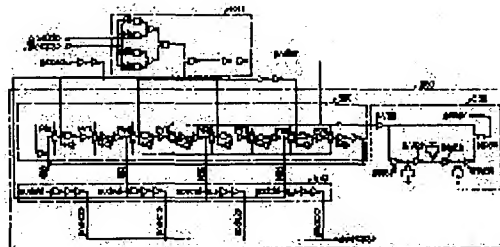
(57)Abstract:

PROBLEM TO BE SOLVED: To prevent error data, that are caused by data distortion and a narrow bandwidth, from being latched by a pipe latch circuit of an SDRAM by providing a means, which increases operational margin of pipe latch control signals to guarantee complete data transmission from a global input output line to the pipe latch circuit, for a pipe latch input control means.

SOLUTION: A path gate signal generating section 530 generates path gate signals pcdinc from global input output line signals

gio<0:3>/gio<0:3> and pipe latch enable signals pcden. A pipe latch selection signal generating section 550 generates pipe latch control signals pcd<0:3> which select a pipe latch circuit in response to the signals pcdinc.

A pipe latch disable control section 580 generates pipe latch disable signals pcdctrl which are produced by delaying the signals pcdinc to control pipe latch control signals pcd<2:3>.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection][Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-35154

(P2001-35154A)

(43) 公開日 平成13年2月9日 (2001.2.9)

(51) Int.Cl.⁷

G11C 11/407

識別記号

F I

G11C 11/34

メモリー (参考)

362S

審査請求 未請求 請求項の数5 O L (全8頁)

(21) 出願番号 特願2000-193821 (P2000-193821)

(22) 出願日 平成12年6月28日 (2000.6.28)

(31) 優先権主張番号 1999-24823

(32) 優先日 平成11年6月28日 (1999.6.28)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111

現代電子産業株式会社

大韓民国京畿道利川市夫鉢邑牙美里山136-1

(72) 発明者 金 官 彦

大韓民国京畿道利川市夫鉢邑牙美里山136-1

(72) 発明者 鄭 東 植

大韓民国京畿道利川市夫鉢邑牙美里山136-1

(74) 代理人 100065215

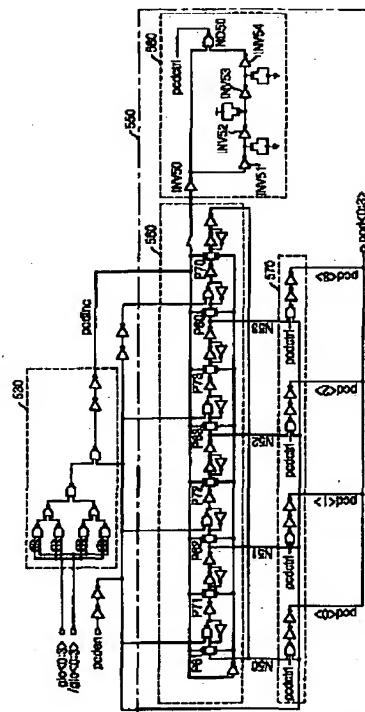
弁理士 三枝 英二 (外8名)

(54) 【発明の名称】 パイプラッチ回路を有するメモリ素子におけるデータ出力装置

(57) 【要約】

【課題】 本発明は、高速で安定した読み出し動作を実行する向上したメモリ素子、及びデータ歪み及び狭い帯域幅によるエラーデータがSDRAMのパイプラッチ回路にラッチされることを防止可能なメモリ素子を提供する。

【解決手段】 本発明は、グローバル入出力ラインを介して伝達されたメモリセルからのデータを貯蔵する多数のパイプラッチ回路、パイプラッチ制御信号にตอบสนองして上記グローバル入出力ラインに上記パイプラッチ回路を選択的に連結するためのパイプラッチ入力制御器、及び上記パイプラッチ回路及び出力駆動器間のデータ経路を制御するためのパイプカウント信号発生器を有するメモリ素子において、上記パイプラッチ入力制御器は、上記グローバル入出力ラインから上記パイプラッチ回路まで完全なデータ伝達を保障するために上記パイプラッチ制御信号の動作マージンを増加させる手段を含む。



【特許請求の範囲】

【請求項1】 グローバル入出力ラインを介して伝達されたメモリセルからのデータを貯蔵する多数のパイプラッチ回路、パイプ制御信号にตอบสนองして上記パイプラッチ回路を上記グローバル入出力ラインに選択的に連結するためのパイプ入力制御手段、及び上記パイプラッチ回路と出力駆動器間のデータ経路を制御するためのパイプカウント信号発生器を有するメモリ素子であって、

上記パイプラッチ入力制御手段は、

第1制御信号及びグローバル入出力ライン信号を受信してバスゲート制御信号を発生する第1制御信号と、上記第1制御信号及び上記バスゲート制御信号を受信して多数の第1制御信号を発生する第2制御信号発生部と、

上記バスゲート制御信号を受信して上記バスゲート制御信号及び上記バスゲート制御信号の遅延信号を組合せて第3制御信号を発生する第3制御信号発生部と、

上記第1制御信号、多数の第2制御信号及び上記第3制御信号を受信して上記パイプラッチ制御信号を発生する第4制御信号発生部とを含んでなるメモリ素子。

【請求項2】 上記第3制御信号発生器は、

上記バスゲート制御信号を反転させる反転手段と、

上記反転されたバスゲート制御信号を遅延させる遅延手段と、

上記反転されたバスゲート制御信号及び上記遅延されたバスゲート制御信号を否定論理積演算するロジック回路とからなる請求項1に記載のメモリ素子。

【請求項3】 上記遅延手段は、

上記反転されたバスゲート制御信号を遅延させる偶数のインバータと、

上記インバータに連結されたキャパシタ用の多数のMOSトランジスタとからなる請求項2に記載のメモリ素子。

【請求項4】 グローバル入出力ラインを介して伝達されたメモリセルからのデータを貯蔵する多数のパイプラッチ回路、パイプラッチ制御信号にตอบสนองして上記グローバル入出力ラインに上記パイプラッチ回路を選択的に連結するためのパイプラッチ入力制御器、及び上記パイプラッチ回路及び出力駆動器間のデータ経路を制御するためのパイプカウント信号発生器を有するメモリ素子であって、

上記パイプラッチ入力制御器は、

上記グローバル入出力ラインから上記パイプラッチ回路まで完全なデータ伝達を保障するために上記パイプラッチ制御信号の動作マージンを増加させる手段を含んでなるメモリ素子。

【請求項5】 上記手段は、グローバル入出力ライン信号を使用して発生された制御信号及び上記パイプカウントイネーブル信号を遅延させる遅延器を含んでなる請求項4に記載のメモリ素子。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、DDR (Double Data Rate) SDRAM (Synchronous DRAM) に関し、特にDDR SDRAMにおける読み出し動作の間パイプラッチ入力信号を制御するための装置及び方法に関するものである。

【0002】

【従来の技術】周知のとおり、外部のシステムクロック信号に同期して動作するSDRAMは、動作速度を増加させるために広く用いられてきた。SDRAMは、クロックの上昇エッジに同期する反面、DDR DRAMは、外部のシステムクロック信号の上昇及び下降 (falling) エッジに同期する。したがって、DDR SDRAMは、クロック信号の周波数を増加させなくても、2倍程度に動作速度を増加させることができるので、次世代DRAMとして大きく脚光を浴びている。さらに、メモリセルから連続的に読み出したデータを処理するために、多数のパイプラインラッチ回路がSDRAMに用いられてきた。

【0003】図1は、セルデータを臨時に貯蔵するための多数のパイプラッチ回路が並列に配置されたウェーブパイプライン (Wave Pipeline) 構造のデータ出力バスを示すブロック図である。

【0004】図1において、4個のパイプラッチ回路30～33は、グローバル入出力ライン $gio<0>$ 、 $/gio<0>$ に並列に接続される。データ出力部130は、パイプラッチ制御信号 pcd及びパイプカウント信号pcntにตอบสนองしてグローバル入出力ライン $gio<0>$ 、 $/gio<0>$ 、パイプラッチ回路30～33、及び出力駆動器131を介して伝達されたデータを出力する。パイプラッチ制御信号発生部150は、パイプラッチ回路30～33をグローバル入出力ライン $gio<0>$ 、 $/gio<0>$ に選択的に連結するパイプラッチ制御信号pcdを発生する。グローバル入出力部110～113は、セルアレイブロックから読み出したセルデータを伝達するためにセルアレイブロック及びデータ出力部130間に設けられる。パイプカウント信号pcntを発生するパイプカウント信号発生部170は、パイプラッチ回路30～33を出力駆動部131に選択的に連結する。

【0005】データ出力部130は、パイプラッチ制御信号pcdにตอบสนองしてグローバル入出力ライン $gio<0>$ 、 $/gio<0>$ をパイプラッチ回路30～33に選択的に連結するための第1スイッチ手段20～23、及びパイプカウント信号pcntにตอบสนองしてパイプラッチ回路30～33を出力駆動部131に選択的に連結するための第2スイッチ手段40～43を含む。

【0006】グローバル入出力部110～113は、増幅されたデータをグローバル入出力ライン $gio<0>$ 、 $/gio<0>$ に伝達するための多数の入出力感知増幅器 (IOSA)、及びグローバル入出力ライン $gio<0>$ 、 $/gio<0>$ を電源電圧VCCにプリチャージするためのプリチャージ部からなる。図1では、グローバル入出力部110のみがデータ出力部130

に連結されているが、各グローバル入出力部111~113も、データ出力部130に連結されるべきである点に留意すべきである。

【0007】図2は、図1のパイプラッチ制御信号発生部150のブロック図である。パイプラッチ制御信号発生部150は、グローバル入出力ライン信号 $gio<0:3>$ 、 $/gio<0:3>$ を組合せてパスゲート信号 $pcdinc$ を発生させるパスゲート制御信号発生部330、及びパスゲート信号 $pcdinc$ とパイプラッチイネーブル信号 $pcden$ に応答してパイプラッチ回路30~33のいずれか1つを選択するためにパイプラッチ制御信号 $pcd<0>$ 、 $pcd<1>$ 、 $pcd<2>$ 、 $pcd<3>$ を発生させるパイプラッチ選択信号発生部350を含む。

【0008】パイプラッチ選択信号発生部350は、第1回路部360及び第2回路部370からなる。第1回路部360は、パスゲート信号 $pcdinc$ により制御される第1パストランジスタP10、P11、P12、P13、及びパスゲート信号 $pcdinc$ の反転された信号により制御される第2パストランジスタP20、P21、P22、P23を含む。ノードN30~N33において、第1回路部360の出力信号は、パイプラッチイネーブル信号 $pcden$ と第2パストランジスタP20、P21、P22、P23からの出力信号を組合せるバッファ回路及びラッチにより発生される。第2回路部370は、第1回路部360及びパイプラッチイネーブル信号 $pcden$ からの出力信号を使用するパイプラッチ制御信号 $pcd<0>$ 、 $pcd<1>$ 、 $pcd<2>$ 、 $pcd<3>$ を出力する。

【0009】図3及び図4は、図1及び図2に示した多数のパイプラッチ回路及びパイプラッチ制御信号発生器を有するウェブパイプラインの動作を示すタイミング図である。第1読み出し動作で、グローバル入出力部のいずれか1つに含まれている入出力感知増幅器(IOSA)がターンオンされてメモリセルブロックからのデータが伝達される時、プリチャージ部によりプリチャージされるグローバル入出力ライン $gio<0>$ 、 $/gio<0>$ のいずれか1つは、ハイレベルからローレベルに変わる。この場合、第1スイッチ手段20は、パイプラッチ制御信号発生部150からパイプラッチ制御信号 $pcd<0>$ によりターンオンされる。

【0010】データが所定の時間の間、パイプラッチ回路30に貯蔵されてから、グローバル入出力ラインプリチャージ信号 $gio\#precharge$ は、ローレベルで活性化され、グローバル入出力ライン $gio<0>$ 、 $/gio<0>$ は、ハイレベルにプリチャージされ、パスゲート制御信号発生部330からのパスゲート信号 $pcdinc$ は、プリチャージされたグローバル入出力ライン $gio<0>$ 、 $/gio<0>$ に伝達してハイレベルとなり、ノードN30における信号は、ローレベルとなり、第1スイッチ手段20は、ノードN30における信号及びパイプラッチイネーブル信号 $pcden$ に伝達してハイレベルであるパイプラッチ制御信号 $pcd<0>$ によりディセーブルされる。

【0011】一方、ノードN31における信号は、ハイレ

ベルであって、パイプラッチ制御信号 $pcd<1>$ は、ローレベルとなって第1スイッチ手段21がグローバル入出力ライン $gio<0>$ 、 $/gio<0>$ 、及びパイプラッチ回路31間にデータ経路を形成できる。パイプラッチ制御信号 $pcd<1>$ は、パイプラッチ制御信号 $pcd<0>$ がディセーブルされるので、グローバル入出力ライン $gio<0>$ 、 $/gio<0>$ 、及びパイプラッチ回路30間にデータ経路がターンオンされ、グローバル入出力ライン $gio<0>$ 、 $/gio<0>$ 、及びパイプラッチ回路31が同時にターンオフされるという事実留意すべきである。

【0012】同様の方式で、入出力感知増幅器のいずれか1つは、他の読み出し動作で選択され、セルデータが前述した手順を介してパイプラッチ回路31に貯蔵され、スイッチ手段21は、ハイレベルであるパイプラッチ制御信号 $pcd<1>$ によりディセーブルされる。第3及び第4読み出し動作は、パイプラッチ回路32、33の各々により実行される。パイプラッチ回路30~33に貯蔵されたデータは、パイプカレント信号 $pcent<0:3>$ に伝達して出力駆動器131を介して出力される。

【0013】しかし、パイプラッチ回路を使用する前述した読み出し動作は、入出力感知増幅器及びパイプラッチ回路30~33間の距離が変わらないので、いくつかの欠点を持っている。すなわち、パイプラッチラインから遠く離れて位置したデータ入出力感知増幅器により伝達されたデータは、低伝送率及び狭い帯域幅を有するので、入出力感知増幅器の位置によってデータ歪みが発生し得る。このような歪みは、繰返された読み出し動作で発生する事もあり得るし、特に、高集積及び高速メモリ素子で発生し得る。

【0014】さらに、高速動作に基づいて動作周波数が速い場合、以前のデータ及び次のデータ間の時間間隔がさらに狭くなって、帯域幅がデータ歪みのため一定にならないので、2つのデータが互いに干渉し得る。例えば、グローバル入出力ラインがパイプラッチ回路から分離される前に次の読み出し動作が発生する場合、誤って読み出されたデータがパイプラッチ回路に貯蔵され得る。

【0015】

【発明が解決しようとする課題】したがって、本発明は、高速で安定した読み出し動作を遂行する向上したメモリ素子を提供することにその目的がある。

【0016】また、本発明は、データ歪み及び狭い帯域幅によるエラーデータがSDRAMのパイプラッチ回路にラッチされることを防止可能なメモリ素子を提供することにその目的がある。

【0017】

【課題を解決するための手段】上記目的を達成するため、本発明は、グローバル入出力ラインを介して伝達されたメモリセルからのデータを貯蔵する多数のパイプラッチ回路、パイプ制御信号に伝達して上記パイプ

ッチ回路を上記グローバル入出力ラインに選択的に連結するためのパイプ入力制御手段、及び上記パイプラッチ回路と出力駆動器間のデータ経路を制御するためのパイプカウンタ信号発生器を有するメモリ素子において、上記パイプラッチ入力制御手段は、第1制御信号及びグローバル入出力ライン信号を受信してパスゲート制御信号を発生する第1制御信号と、上記第1制御信号及び上記パスゲート制御信号を受信して多数の第1制御信号を発生する第2制御信号発生部と、上記パスゲート制御信号を受信して上記パスゲート制御信号及び上記パスゲート制御信号の遅延信号を組合せて第3制御信号を発生する第3制御信号発生部と、上記第1制御信号、多数の第2制御信号及び上記第3制御信号を受信して上記パイプラッチ制御信号を発生する第4制御信号発生部とを含んでなるメモリ素子を提供する。

【0018】また、本発明は、グローバル入出力ラインを介して伝達されたメモリセルからのデータを貯蔵する多数のパイプラッチ回路、パイプラッチ制御信号にตอบสนองして上記グローバル入出力ラインに上記パイプラッチ回路を選択的に連結するパイプラッチ入力制御器、及び上記パイプラッチ回路及び出力駆動器間のデータ経路を制御するパイプカウンタ信号発生器を有するメモリ素子において、上記パイプラッチ入力制御器は、上記グローバル入出力ラインから上記パイプラッチ回路まで完全なデータ伝達を保障するために上記パイプラッチ制御信号の動作マージンを増加させる手段を含んでなるメモリ素子を提供する。

【0019】

【発明の実施の形態】以下、添付した図面を参照して本発明の望ましい一実施例を詳細に説明する。

【0020】図5は、本発明にかかるパイプラッチ制御信号発生部のブロック図である。図5に示したように、本発明にかかるパイプラッチ制御信号発生部150は、グローバル入出力ライン信号 $gio<0:3>$ 、 $/gio<0:3>$ と、パイプラッチイネーブル信号 $pcden$ とを組合せてパスゲート信号 $pcdinc$ を発生するパスゲート信号発生部530、パスゲート信号 $pcdinc$ にตอบสนองして図1のパイプラッチ回路30～33のいずれか1つを選択するためにパイプラッチ制御信号 $pcd<0>$ 、 $pcd<1>$ 、 $pcd<2>$ 、 $pcd<3>$ を発生するパイプラッチ選択信号発生部550、パイプラッチイネーブル信号 $pcden$ 、及びパイプラッチディセーブル制御信号 $pcdctrl$ を含む。

【0021】パイプラッチ選択信号発生部550は、第1回路部560、第2回路部570、及びパイプラッチディセーブル制御部580を含む。第1回路部560は、パスゲート信号 $pcdinc$ により制御される第1パストランジスタP60、P61、P62、P63、及びパスゲート信号 $pcdinc$ の反転された信号により制御される第2パストランジスタP70、P71、P72、P73を含む。ノードN50～N53で、第1回路部560の出力信号は、パイプラッチイネーブル信号 $pcden$ と、第2パスト

ランジスタP70、P71、P72、P73からの出力信号を組合せるラッチ及びバッファ回路により生成される。

【0022】第2回路部570は、第1回路部560からの出力信号、パイプラッチイネーブル信号 $pcden$ 、及びパイプラッチディセーブル制御信号 $pcdctrl$ をNANDしてパイプラッチ制御信号 $pcd<0>$ 、 $pcd<1>$ 、 $pcd<2>$ 、 $pcd<3>$ を出力する。

【0023】パイプラッチディセーブル制御部580は、反転されたパスゲート信号 $pcdinc$ を発生させるためのインバータINV50、多数のインバータINV51、INV52、INV53、INV54、及びキャパシタとしての多数のPMOSとNMOSトランジスタとを有する遅延部、遅延された信号及びインバータINV50からの出力信号を受信するNANDゲートND50を含む。

【0024】図6は、本発明にかかるパイプラッチ制御信号発生部の動作を示すタイミング図である。

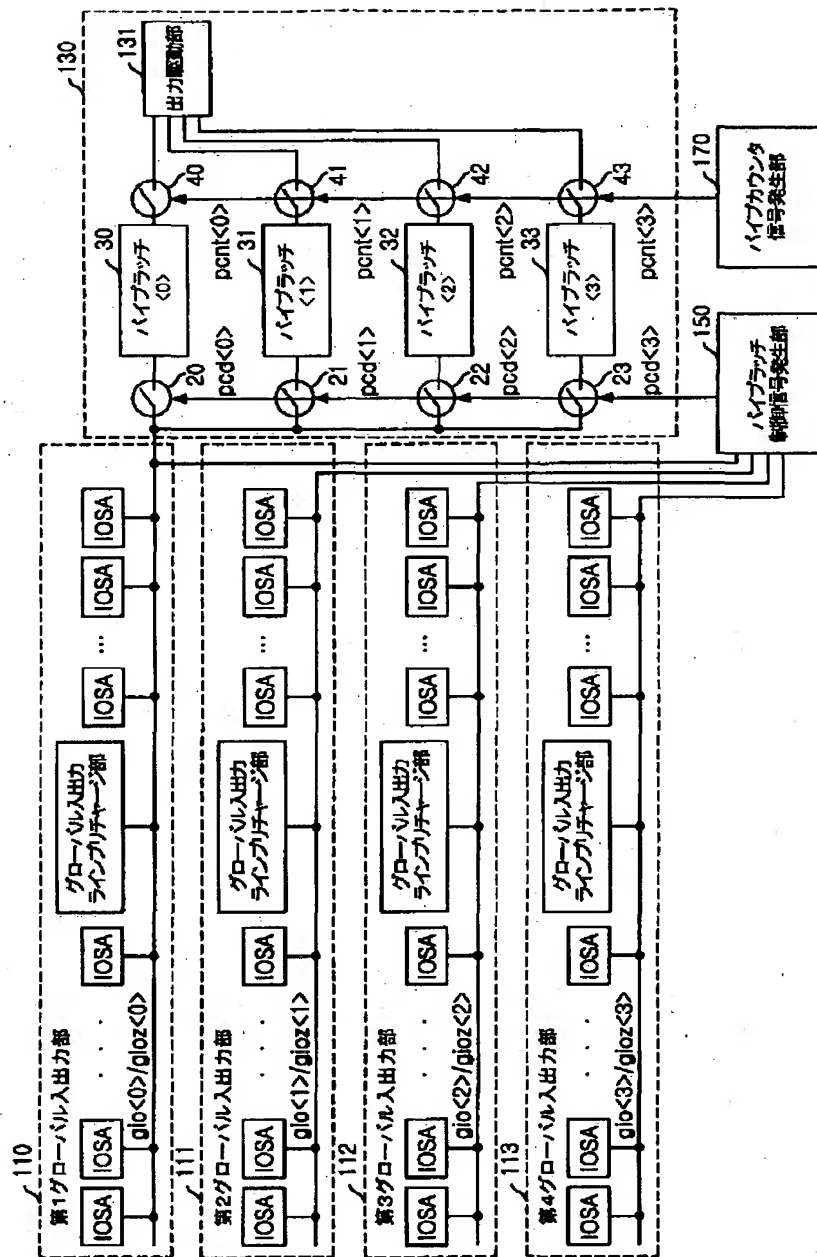
【0025】もし、パイプラッチイネーブル信号 $pcden$ が第1読み出し動作が実行される前に、ローレベルに維持されるならば、パイプラッチ選択信号発生部550のノードN50の信号は、ハイレベルとなり、ノードN51、N52、N53の他の信号は、ローレベルとなる。第1読み出し動作が実行される時、ハイレベルで活性化されるパイプラッチイネーブル信号 $pcden$ は、パイプラッチ選択信号発生部550に印加されて第1パストランジスタP60からの出力信号と組合わせられる。組合わせられた全ての信号、ノードN50における信号及びパイプラッチディセーブル制御信号 $pcdctrl$ は、ハイレベルとなる。したがって、パイプラッチ制御信号 $pcd<0>$ のみがローレベルとなる。

【0026】入出力感知増幅器のいずれか1つがターンオンされ、グローバル入出力ライン $gio<0>$ 、 $/gio<0>$ のいずれか1つがハイレベルからローレベルとなる時、パスゲート信号 $pcdinc$ は、ローレベルとなる。このローレベルを有するパスゲート信号 $pcdinc$ は、パイプラッチディセーブル制御部580に印加される。

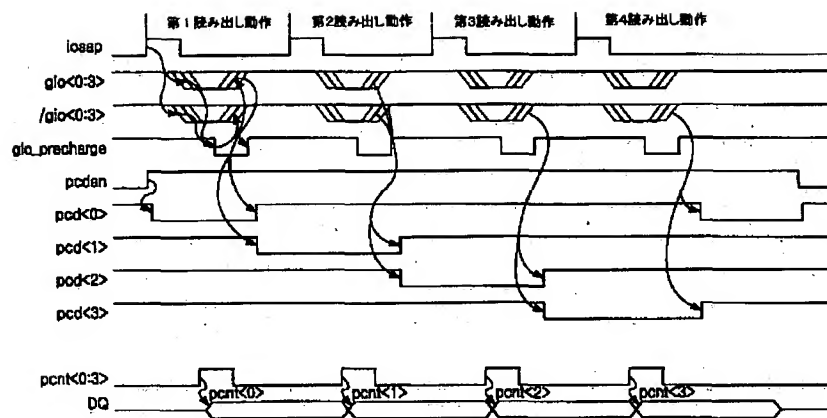
【0027】一方、NANDゲートND50は、インバータINV50により反転されたハイレベルのパスゲート信号 $pcdinc$ 、及びインバータとトランジスタとにより遅延されたハイレベルの信号を受信してローレベル信号を出力する。

【0028】パイプラッチディセーブル制御信号 $pcdctrl$ は、ハイレベルからローレベルになる時、第1スイッチ手段20は、ハイレベルとなるパイプラッチ制御信号 $pcd<0>$ によりディセーブルされる。したがって、パイプラッチ制御信号 $pcd<0>$ によりグローバル入出力ライン $gio<0>$ 、 $/gio<0>$ 、及びパイプラッチ回路間に形成されたデータ伝送時間は、パイプラッチディセーブル制御部580における遅延時間と同じである。すなわち、パイプラッチイネーブル時間は、パイプラッチディセーブル制御部580における遅延時間により決定され、データをパイプラ

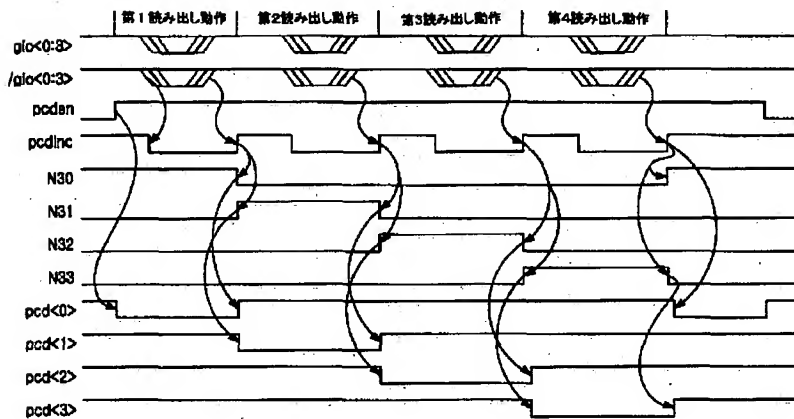
【図1】



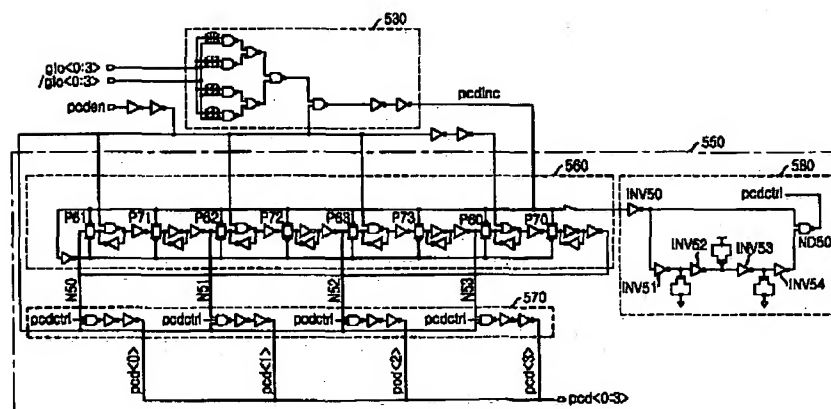
【図3】



【図4】



【図5】



【図6】

